

Universität Erlangen-Nürnberg
Technische Fakultät
Lehrstuhl für Hardware-Software-Co-Design
Prof. Dr.-Ing. Jürgen Teich

Klausur
Technische Informatik 1

7. September 2005

Name	
Matrikelnummer	
Studienrichtung	

Aufgabe	1	2	3	4	Σ
max. Punkte	20	20	20	20	80
erreichte Punkte					
Note					

Aufgabe 1 (Codierung)

(20 Punkte)

Sie haben die Aufgabe, einen einfachen Audiospieler wie in Abb. 1 zu bauen. Der PLD-Baustein generiert durch einfaches Zählen die binär codierten Signale für die Ansteuerung der 20 Adressleitungen ($A_{19} \dots A_0$) für den 1 Megabyte (2^{20}) großen Festwertspeicher, welcher die Audiodaten speichert. Der Speicher gibt die zu einer Speicherstelle gehörenden Daten unmittelbar an den Digital-Analog-Umsetzer weiter. Das Analogsignal des Wandlers wird verstärkt und auf den Lautsprecher gegeben.

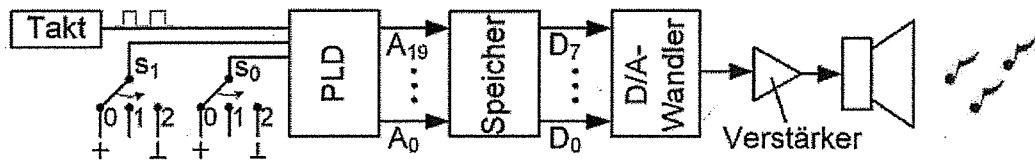


Abbildung 1: Ein einfacher Audiospieler zur Wiedergabe verschiedener Sequenzen.

- Wieviele Sekunden können abgespielt werden, wenn 2^{13} Samples pro Sekunde abgespielt werden? (1 Punkt)
- Mit welcher Frequenz ändert sich im Fall a) die niederwertigste (A_0) und die höchstwertigste Adressleitung (A_{19}) des Speichers. (2 Punkte)
- Das PLD besitzt zusätzlich zum Takteingang noch 2 weitere Eingangsleitungen (S_1 , S_0), um zwischen verschiedenen Wiedergabesequenzen (entspricht Speicherbereichen) umzuschalten. Glücklicherweise kann das PLD nicht nur einen einfachen binären Eingang auswerten, sondern auch feststellen, ob sich der zu einem Eingang zugehörige Schalter in Position 0, 1 oder 2 befindet. Wieviele Wiedergabesequenzen können nun unterschieden werden? Geben Sie alle möglichen Codierungen von $S = (S_1, S_0)$ an. (4 Punkte)
- Wieviele Eingangsleitungen können so im Vergleich zu einer Binärcodierung maximal gespart werden, wenn 20 verschiedene Codierungen benötigt würden? Begründen Sie Ihre Aussage. (2 Punkte)

Es soll nun angenommen werden, dass für ein einzelnes Sample 16 Bit ($D_{15} \dots D_0$) aus dem Speicher zur Verfügung stehen. Der Wertebereich, der an dem D/A-Wandler anliegt, soll sich von $-23\,123_{10}$ bis $+23\,123_{10}$ erstrecken, um eine Übersteuerung des Verstärkers zu verhindern.

- Wie lauten die Binärcodierungen der größten und der kleinsten Zahl des nutzbaren Wertebereichs, wenn zur Zahlendarstellung das Einerkomplement verwendet wird. (2 Punkte)
- Wie lauten die Binärcodierungen der größten und der kleinsten Zahl des nutzbaren Wertebereichs, wenn zur Zahlendarstellung eine zum IEEE-754 Format analoge Gleitkommadarstellung mit einem 7 Bit breiten Exponenten verwendet wird? (4 Punkte)
- Diskutieren Sie (kurz und stichpunktartig), welche Zahlendarstellung genauer ist. Ist es immer die aus Aufgabe e) oder aus Aufgabe f) oder gibt es einen Wert (mit Angabe in Dezimaldarstellung), ab dem eine Codierung immer genauer als die andere ist. (Nehmen Sie an, dass eventuell im D/A-Wandler auftretende Fehler unabhängig von der verwendeten Zahlendarstellung vernachlässigt werden können.) (5 Punkte)

Aufgabe 2 (Schaltnetzentwurf)

- a) Nachdem Sie das Schaltnetz in Abb. 2 entworfen haben, stellen Sie fest, dass die Eingangsbelegungen $(X_4, X_3, X_2, X_1) = (1, 1, 0, 1)$ und $(1, 1, 0, 0)$ nicht vorkommen können. Entwerfen Sie unter dieser Nebenbedingung eine disjunktive Minimalform (DMF). Zeichnen Sie das Schaltbild der DMF. (8 Punkte)

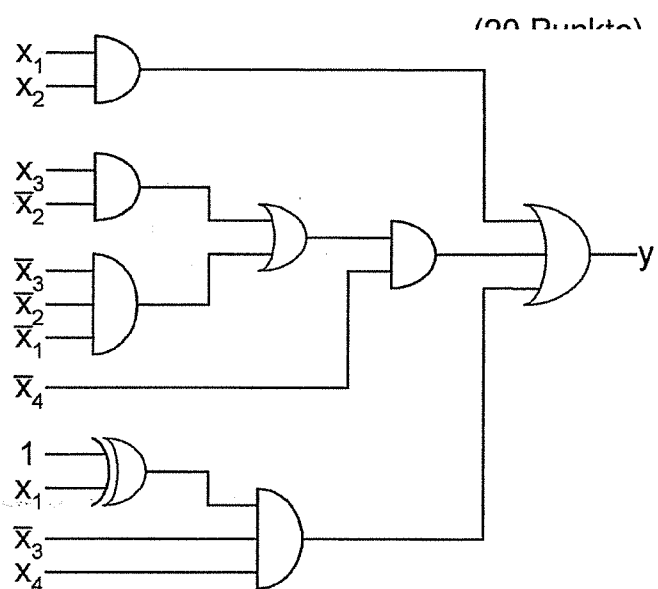


Abbildung 2: Schaltnetz

- b) Ein T-Glied ist durch das unten stehende KV-Diagramm definiert.

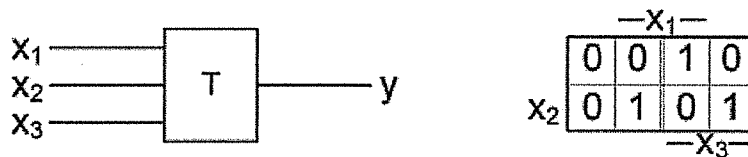


Abbildung 3: T-Glied und entsprechendes KV-Diagramm.

- Jemand behauptet, alle beliebigen Schaltfunktionen nur mit T-Gliedern und einer logischen 1 realisieren zu können. Beweisen oder widerlegen Sie diese Behauptung. (4 Punkte)
- c) Realisieren Sie die Schaltfunktion aus a) ausschließlich unter Verwendung obiger T-Glieder. (8 Punkte)

Aufgabe 3 (VHDL) (20 Punkte)

Gesucht ist die Beschreibung einer generischen Bit-Slice-Architektur, die gesteuert durch ein binäres Steuersignal C den Carry-Ausgang entweder unterdrückt (wenn C=0) oder weiterleitet (wenn C=1).

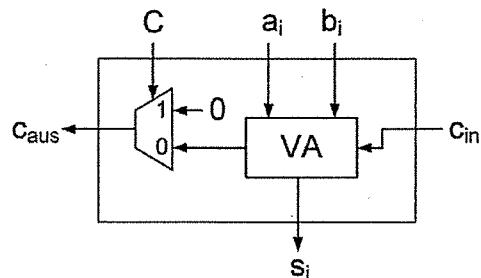


Abbildung 4: Gesteuerter 1-Bit-Slice-Addierer.

- a) Geben Sie eine Verhaltensbeschreibung der 1-Bit-Architektur in Abb. 4 in VHDL an. (5 Punkte)
- b) Geben Sie eine strukturelle Beschreibung der 1-Bit-Architektur in Abb. 4 in VHDL an. (5 Punkte)
- c) Geben Sie eine generische Strukturbeschreibung einer Bit-Slice-Addier-Architektur für n-Bit breite Operanden in VHDL an. (Hinweis: Sie dürfen Ihre Lösung aus der vorherigen Teilaufgabe als Komponente verwenden.) (5 Punkte)
- d) Geben Sie eine Strukturbeschreibung in VHDL an, die eine n-Bit-Architektur des Addierers aus zwei verschalteten $\frac{n}{2}$ -Bit-Architekturen aufbaut. (5 Punkte)

Aufgabe 4 (Schaltwerke)

(20 Punkte)

Für einen Streckenabschnitt eines schienengebunden Transportsystems ist ein Belegtmelder zu entwerfen. Dieser soll ermitteln, ob sich ein Transportwagen im Abschnitt befindet oder nicht. Hierdurch soll verhindert werden, dass mehr als ein Wagen in den Abschnitt einfährt (Blocksicherung).

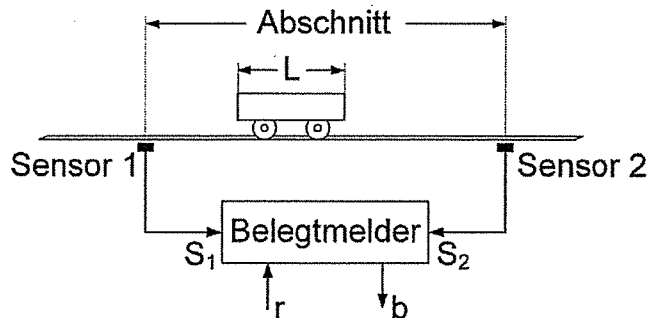


Abbildung 5: Belegtmelder

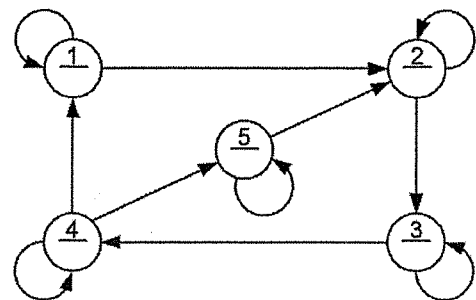


Abbildung 6: Automatengraph

An beiden Enden des Abschnitts sind Sensoren angebracht, die über Binärsignale vorbeifahrende Wagen anzeigen. Ein Sensor S_i ($i=1, 2$) ist 1, solange ein Wagen sich in Höhe des Sensors befindet. Die Länge L der Wagen sei erheblich kleiner als der Abstand zwischen den zwei Sensoren.

Ein Wagen kann aus beiden Richtungen in den Abschnitt einfahren.

Er kann entweder

- durch den Abschnitt hindurchrollen oder
- im Erfassungsbereich des in Fahrtrichtung zweiten Sensors anhalten und den Streckenabschnitt in umgekehrter Richtung verlassen.

Ein Richtungswechsel ist also nur im Erfassungsbereich eines Sensors möglich. Sofern der Wagen die Richtung innerhalb des Abschnitts umkehren soll, wird dies dem Belegtmelder mit $r=1$ mitgeteilt, nachdem der Wagen angehalten hat. Bevor er den Sensor verlässt, wird r wieder zu 0.

- Geben Sie alle auf (S_2, S_1) beobachtbaren Folgen an, die ein Wagen auslösen kann. (5 Punkte)
- Ein Abschnitt soll solange als belegt gemeldet werden ($b=1$), wie sich ein Wagen an einem der beiden Sensoren oder zwischen ihnen befindet. Man kann das Verhalten des Belegtmelders mit dem Automatengraphen in Abb. 6 beschreiben.
Ergänzen Sie die fehlenden Einträge (Ein- und Ausgangsbelegungen).
Die Grundstellung wird bei leerem Streckenabschnitt angenommen. (6 Punkte)
- Um welchen Automatentypen handelt es sich? (1 Punkt)
- Der Automat soll als getaktetes Schaltwerk unter Verwendung von D-Flipflops entworfen werden.
Wieviele Zustandsbits benötigen Sie? (1 Punkt)
- Geben Sie eine Realisierung des Ausgabenetzes an und zeichnen Sie das resultierende Schaltnetz. Verwenden Sie dabei ausschließlich UND-, ODER- bzw. NICHT-Gatter. (7 Punkte)