

Aufgabe 1: Optimale Codes

(20 Punkte)

In einem Produktionsbetrieb werden alle gefertigten Teile einer der sechs möglichen Qualitätsklassen (A...F) zugeordnet und dauerhaft zur Protokollierung gespeichert. Die Geschäfte laufen gut, verursacht aber immer höhere Kosten bei der Datenhaltung.

Helfen Sie dem Betrieb, durch ein effizientes Codierungsverfahren Kosten zu sparen.

In der letzten Schicht sind 100 Teile gefertigt worden. Diese Teile verteilen sich auf die Qualitätsklassen (Zeichen) wie folgt:

Zeichen	A	B	C	D	E	F
Anzahl	5	10	30	22	18	15

Tabelle 1

Aufgaben:

- a) Wie viele Bits werden zur Codierung eines Zeichens minimal benötigt, wenn es nur die sechs Qualitätsklassen gibt und die Codierung mit gleichlangen Binärwörtern erfolgen soll? (Formel & Zahlenwert) (2 Punkte)
- b) Verbessern Sie nun die Effizienz dadurch, dass Sie das Alphabet mit Hilfe des Shannon-Fanø-Code codieren. Geben Sie sowohl den Codierungsbaum als auch die Codetabelle an. (8 Punkte)
- c) Wie viele Speicherbits müssen Sie bei der in b) bestimmten Codierung für die Zeichen in Tabelle 1 insgesamt aufwenden? (4 Punkte)
- d) Wie wird jeweils in den beiden Codes aus den Aufgabenpunkten a) und b) das Zeichenende codiert? (2 Punkte)
- e) Geben Sie an, welche Zeichensequenz durch folgenden Code beschrieben wird. (Shannon-Fanø-Code nach Aufgabenpunkt b) : 01100111 (2 Punkte)
- f) Worin unterscheidet sich der Shannon-Fanø-Code von einem Huffman-Code? (kurz und stichpunktartig reicht) (2 Punkte)

Aufgabe 2: Zahlendarstellung

(20 Punkte)

a) Konvertieren Sie die folgende Zahl mit sukzessiver Division unter ausschließlicher Verwendung der angegebenen Zahlensysteme (der Rechenweg muss erkennbar sein):

$74_{(8)} = ?_{(9)}$

(3 Punkte)

b) Wie viele Stellen braucht man im Binärsystem mindestens, damit die Zahl $-32_{(10)}$ bei Verwendung des 1-Komplements darstellbar ist (Begründung)? (3 Punkte)

Wie viele Stellen braucht man für die gleiche Zahl im 2-Komplement (Begründung)? (3 Punkte)

c) Berechnen Sie $43_{(10)} \cdot 67_{(10)}$ unter Verwendung des 2-Komplements im Binärsystem mit 10 Binärstellen. (2 Punkte)

d) In der binären Zahlendarstellung werden Gleitkommazahlen nach dem IEEE 754-FP-Format verwendet. Geben Sie an, aus welchen Bestandteilen eine solche 32-Bit Gleitkommazahl besteht und welche Bitbreite jeder Bestandteil besitzt. (3 Punkte)

e) Multiplizieren Sie nun die beiden folgenden nach dem IEEE 754-FP-Format kodierten Zahlen unter Beibehaltung dieser Gleitkommadarstellung:

```
0010 1110 1001 1000 0000 0000 0000 0000
1010 1011 1011 0000 0000 0000 0000 0000
```

(6 Punkte)

Aufgabe 3: Logikminimierung

(20 Punkte)

Gegeben sei eine Boolesche Funktion $y=f(a,b,c,d,e)$ mit

$$y = a\bar{b}\bar{c}de + \bar{a}b\bar{c}de + bde + \bar{a}b\bar{c}\bar{d}e + \bar{a}b\bar{c}d\bar{e} + \bar{a}b\bar{c}d\bar{e}$$

Aufgaben:

a) Bestimmen Sie die Disjunktive Normalform von y . (2 Punkte)

b) Bestimmen Sie eine Disjunktive Minimalform von y durch Aufstellen des KV-Diagramms, Bestimmung aller Primimplikanten und Auflösen der Überdeckungstabelle. (7 Punkte)

c) Vereinfachen Sie die folgende Gleichung: (2 Punkte)

$$y = a\bar{b}(c + b\bar{c}) + \bar{c}$$

d) Minimieren Sie die Funktion $y=f(a,b,c)$ mit

$$y = a\bar{b}\bar{c} + \bar{a}\bar{b}c + \bar{a}bc + abc + a\bar{b}c$$

mit Hilfe des Quine-McCluskey-Verfahrens. (7 Punkte)

e) Zeichnen Sie eine zweistufige Schaltungsrealisierung der Funktion y aus d). (2 Punkte)

Aufgabe 4: FlipFlops und Automaten

(20 Punkte)

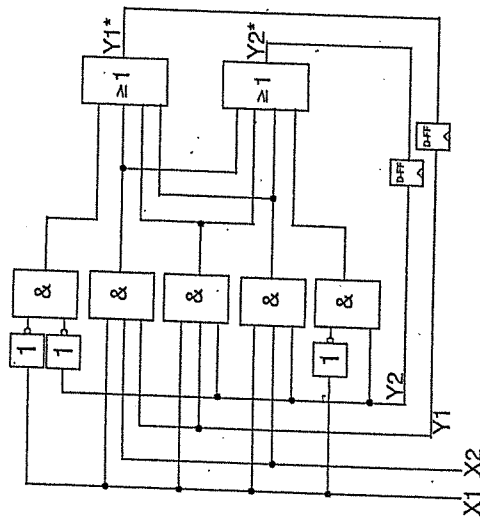
a) Definieren Sie die Eigenschaften eines synchronen Schaltwerks. (1 Punkt)

b) Zählen Sie vier Taktsteuerungsarten auf. (2 Punkte)

Zeichnen Sie einen Flankenerkennungsschaltkreis für negative Taktfanken. (1 Punkt)

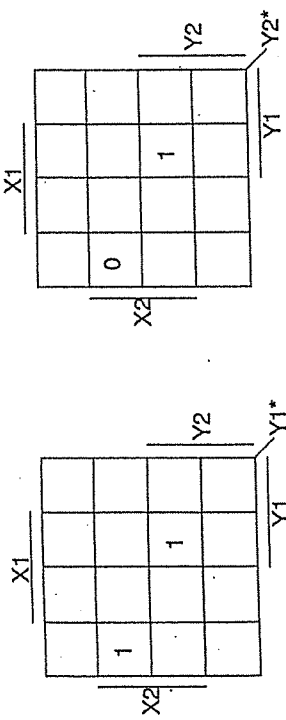
c) Wodurch unterscheiden sich Moore- und Mealy-Automaten? (2 Punkte)

d) Gegeben ist folgendes Schaltwerk.



c) Vervollständigen Sie die folgenden KV-Diagramme für die Übergangsfunktionen $Y1^*$ und $Y2^*$.

(8 Punkte)



e) Zeichnen Sie das Zustandsdiagramm des Schaltwerks.

(6 Punkte)

Aufgabe 5: VHDL

(20 Punkte)

Die in *Abbildung 1* gegebene Struktur einer Schaltung soll in VHDL beschrieben werden.

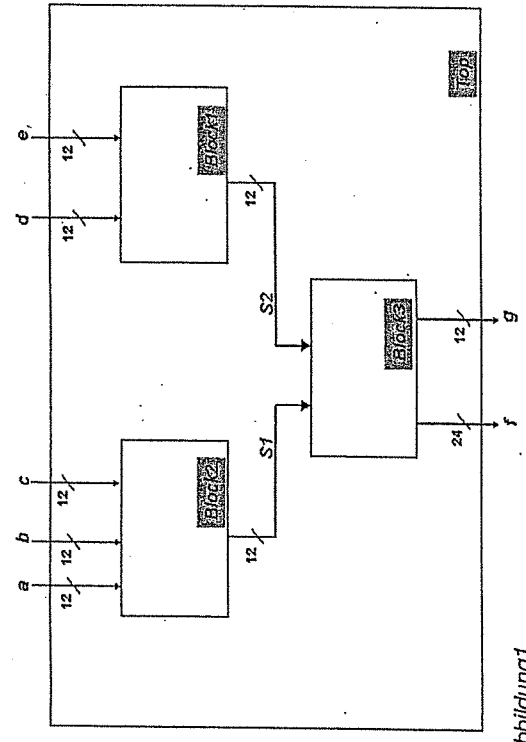


Abbildung 1

Block1 besteht aus einem Prozess *XOR12*, der ein bitweises XOR von zwei 12-Bit-Eingängen *d* und *e* mit einer Verzögerung von 15 ns implementiert.

Block2 implementiert eine *Addierer-Schaltung* mit drei 12-Bit-Eingängen *a*, *b* und *c*.

In *Block3* werden die Multiplikation $f = S1 * S2$ und die Addition $g = S1 + S2$ parallel berechnet.

Aufgaben:

a) Geben Sie jeweils für die Blöcke *Block1*, *Block2* und *Block3* VHDL-Verhaltensbeschreibungen an. (14 Punkte)

b) Geben Sie strukturellen VHDL-Code für die entity *Top* an. (6 Punkte)