

Prof. Dr.-Ing. Jürgen Teich  
Lehrstuhl für Informatik 12  
(Hardware-Software-Co-Design)  
Friedrich-Alexander-Universität Erlangen-Nürnberg

## 2. Miniklausur Grundlagen der Technischen Informatik

19. Januar 2023

Vorname	
Nachname	
Matrikelnummer	

Mo 14–16 Kurs 6 Adrian Rummel	Mo 14–16 Kurs 13 Anne Schäfer	Mo 16–18 Kurs 1 Jonas Hüttinger	Di 8–10 Kurs 9 Prisca Rambach
Mi 8–10 Kurs 10 Florian Koch	Mi 12–14 Kurs 12 Neele Peter	Mi 14–16 Kurs 2 Jonas Hüttinger	Mi 16–18 Kurs 3 Tarek Suft
Fr 8–10 Kurs 11 Jonas Kristen	Fr 10–12 Kurs 7 Prisca Rambach	Fr 10–12 Kurs 8 Tarek Suft	Fr 12–14 Kurs 5 Jonas Kristen

<b>Aufgabe</b>	<b>1</b>	<b>2</b>	<b>3</b>	<b><math>\Sigma</math></b>
<b>Max. Punkte</b>	<b>10</b>	<b>10</b>	<b>10</b>	<b>30</b>
<b>Erreichte Punkte</b>				

**Aufgabe 1 (Boolesche Algebra, CMOS)**

(10 Punkte)

- a) Nachdem Peter Ludwig das Flugverhalten des Wiedehopfs analysiert hat, möchte er nun ein Kamerasystem entwerfen, das basierend auf den aus dem Kamerabild extrahierten Merkmalen  $x, y, z$  den Vogel des Jahres 2023, das Braunkehlchen, erkennt. Setzen Sie dazu die Schaltfunktion

$$f_{bk}(x, y, z) = (\bar{x} + y) \cdot (x + \bar{y} + \bar{z}) \cdot (z + y)$$

als CMOS-Schaltnetz um und geben Sie einen Ausdruck des Pull-Up- und Pull-Down-Netzwerks an. Die negierten Signale stehen hierbei nicht zur Verfügung. (5 Punkte)

PUN:

PDN:

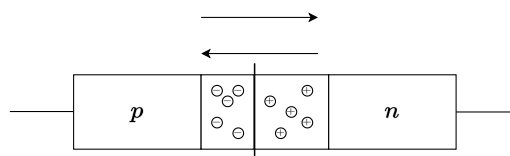
VCC \_\_\_\_\_

GND \_\_\_\_\_

- b) Begründen Sie für jede der folgenden Aussagen, ob diese wahr oder falsch sind. (3 Punkte)

- i) Die Schaltfunktion, die entsteht, wenn man in  $f_{bk}(x, y, z)$  die Klammern weglässt, stellt eine Tautologie (immer wahr) dar.
- ii) CMOS ist das englische Akronym für Compositional Magnesium-Osmium-Semiconductor.
- iii) Jedes Relaisschaltnetz kann durch ein äquivalentes CMOS-Schaltnetz ausgedrückt werden.

- c) Annotieren Sie das folgende Diagramm, das den PN-Übergang eines Transistors zeigt, mit den Begriffen Elektronendiffusion und Elektronendrift. Geben Sie zusätzlich ein dazu korrespondierendes Diodenersatzschaltbild an. (2 Punkte)



**Aufgabe 2 (Minimierung von Schaltfunktionen)**

(10 Punkte)

a) Geben Sie für die folgenden Schaltfunktionen an, welche der genannten Eigenschaften zutreffen:

i)  $f_1(b, a) = a\bar{b} + \bar{a}b$  (1 Punkt)

KNF     KMF     DNF     DMF     Weder noch

ii)  $f_2(b, a) = \bar{a} + b$  (1 Punkt)

KNF     KMF     DNF     DMF     Weder noch

iii)  $f_3(c, b, a) = \bar{a}\bar{b}c + b\bar{c} + \bar{a}\bar{b}$  (1 Punkt)

KNF     KMF     DNF     DMF     Weder noch

b) Das Nelson/Petrick-Verfahren soll im Folgenden zur Bestimmung aller kostenminimalen disjunktiven Minimalformen der Schaltfunktion  $f_4(d, c, b, a)$  angewandt werden.

i) Die Funktion  $f_4$  sei durch folgendes Symmetriediagramm gegeben. Bestimmen Sie zunächst alle Prim- und Kernimplikanten von  $f_4$  mittels des Nelson-Verfahrens. (3 Punkte)

		$\overline{\quad a \quad}$				
		-	1	1	1	
$b$	1	-	1	0	$d$	
	0	0	0	0		
	1	-	-	1		
	$\overline{\quad c \quad}$					

ii) Vervollständigen Sie nun die folgende Überdeckungstabelle. Tragen Sie dazu die in Aufgabe i) bestimmten Primimplikanten der Funktion  $f_4$  in die Spalte PI der Überdeckungstabelle ein, und vergeben Sie die Kosten  $c_i$  anhand der enthaltenen Literale. (1 Punkt)

*Hinweis:* Die 1-Stellen sind oktal nummeriert.

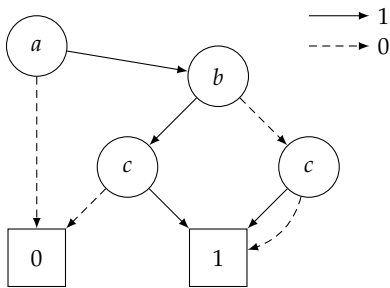
k	PI	j								$p_i$	$c_i$
		1	2	4	5	7	10	14			
0		×		×	×		×	×	A		
1		×			×	×			B		
2		×	×						C		

iii) Bestimmen Sie mittels des Petrick-Verfahrens alle kostenminimalen DMF der Funktion  $f_4$ . (3 Punkte)

**Aufgabe 3 (BDD, Flipflops)**

(10 Punkte)

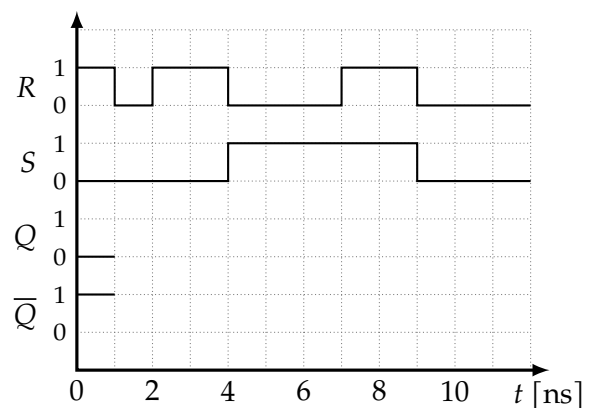
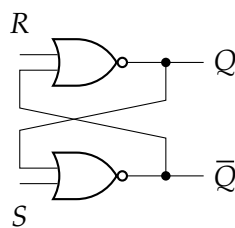
- a) Geben Sie eine Schaltfunktion für das dargestellte *Binary Decision Diagram* (BDD) in disjunktiver Form an. (2 Punkte)



- b) Formen Sie die im Folgenden genannte Funktion so um, dass sie unter ausschließlicher Verwendung von NAND-Gattern mit zwei Eingängen realisiert werden kann. (3 Punkte)

$$f_5(c, b, a) = \bar{a}b + cb$$

- c) Gegeben sei das im Folgenden dargestellte RS-Latch. Vervollständigen Sie das daneben abgebildete Diagramm um die Zeitverläufe für  $Q$  und  $\bar{Q}$ . Nehmen Sie dabei an, dass die Verzögerungszeit jedes Logikgatters  $\tau = 1$  ns beträgt. Markieren Sie im Diagramm Zeitintervalle, zu welchen eine ungültige Eingabe vorliegt. (3 Punkte)



- d) Erweitern Sie nun das RS-Latch in der vorherigen Aufgabe 3c) zu einem D-Latch mit den Eingangssignalen  $D$  und  $CLK$  (Taktsignal), welches nur bei einem Pegel von  $CLK = 1$  durchlässig ist. (2 Punkte)