

Prof. Dr.-Ing. Jürgen Teich  
 Lehrstuhl für Informatik 12  
 (Hardware-Software-Co-Design)  
 Friedrich-Alexander-Universität Erlangen-Nürnberg

## 2. Miniklausur Grundlagen der Technischen Informatik

16. Januar 2020

Vorname	
Nachname	
Matrikelnummer	
Raum	<input type="checkbox"/> Mensa <input type="checkbox"/> Tentoria
Sitzplatz	

Mo 16–18 00.151-113 Ferdinand Schober	Di 8–10 K2-119 Merlin Danner	Di 8–10 04.019 Johannes Rieder	Di 10–12 0.031-113 Merlin Danner	Mi 10–12 0.154-115 Andreas Wagner
Mi 12–14 02.133-128 Noah Lewis	Mi 14–16 01.255-128 Valentin Bräutigam	Mi 14–16 00.152-113 Timo Teufel	Do 10–12 00.151-113 Paul Burger	Do 10–12 00.152-113 Timo Teufel
	Do 10–12 01.255-128 Nils Wilbert	Do 14–16 00.152-113 Johannes Rieder	Fr 14–16 02.134-113 Ferdinand Schober	

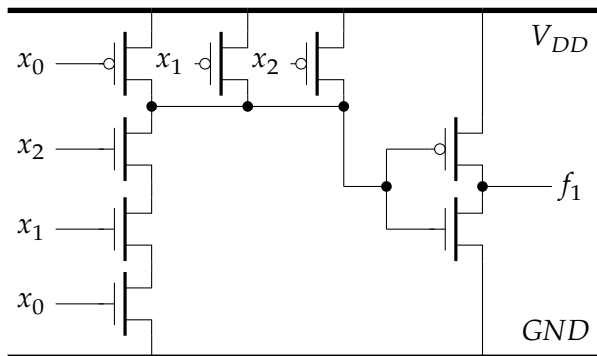
<b>Aufgabe</b>	1	2	3	$\Sigma$
<b>Max. Punkte</b>	10	10	10	30
<b>Erreichte Punkte</b>				

**Aufgabe 1 (CMOS, Boolesche Algebra)**

(10 Punkte)

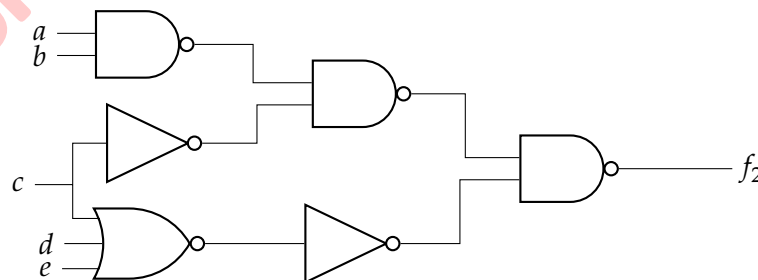
- a) Geben Sie einen schaltalgebraischen Ausdruck der Funktion  $f_1(x_0, x_1, x_2)$  der folgenden CMOS-Schaltung an.

(2 Punkte)



$f_1 =$

- b) Sie lesen in einem Internet-Forum, dass man  $f_1$  mit zwei Transistoren weniger umsetzen kann, indem man in der obigen CMOS-Schaltung  $GND$  und  $V_{DD}$  vertauscht.
- Umkreisen Sie im obigen CMOS-Gatter die beiden wegfallenden Transistoren. (1 Punkt)
  - In der Praxis erhöht dies aber die Verlustleistung und den Störabstand der CMOS-Schaltung, da NMOS-Transistoren im Pull-Up Netzwerk ihren Output nur bis auf  $V_{DD} - V_t$  ziehen können, wobei  $V_t$  die Durchlassspannung bezeichnet. Erklären Sie, warum es bei CMOS im Gegensatz zu einem idealen Gatter überhaupt zu einer Verlustleistung kommt. (1 Punkt)
- c) Geben Sie prägnant den Unterschied zwischen PMOS- und NMOS-Transistoren auf physikalischer Ebene an. (1 Punkt)
- d) Vereinfachen Sie das untenstehende Schaltnetz, das die Funktion  $f_2(a, b, c, d, e)$  umsetzt, sodass es ausschließlich aus zwei UND-Gattern sowie zwei ODER-Gattern mit jeweils zwei Eingängen besteht. Hierbei stehen Ihnen alle Eingangssignale auch negiert zur Verfügung. (5 Punkte)



**Aufgabe 2 (Minimierung von Schaltfunktionen)**

(10 Punkte)

- a) Bestimmen Sie für die Funktion  $f_3(a, b, c, d) = \overline{(a + b)} \cdot \overline{c} \cdot \overline{d} + b \cdot c$  eine konjunktive Minimalform (KMF). (4 Punkte)

- b) Gegeben sei folgendes Symmetriediagramm einer Schaltfunktion  $f_4(a, b, c, d)$ . Geben Sie alle Primimplikanten von  $f_4$  schaltalgebraisch an, und unterstreichen Sie alle Kernimplikanten. (3 Punkte)

		$\overline{a}$				
		-	-	0	-	
$b$	0	0	1	-	$d$	
	0	-	-	1		
	1	1	0	1		
	$\overline{c}$					

- c) Stellen Sie für die folgende Überdeckungstabelle einer Schaltfunktion  $f_5(a, b, c, d, e)$  den Petrick-Ausdruck auf. Ermitteln Sie durch Vereinfachung dieses Ausdrucks alle kostenminimalen Überdeckungen und geben Sie deren schaltalgebraische Ausdrücke an. (3 Punkte)

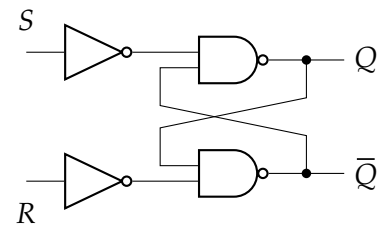
k	PI	j						$p_i$	$c_i$
		3	16	17	18	20	28		
0	$\bar{e}d\bar{b}a$	×						A	8
1	$e\bar{c}\bar{b}\bar{a}$					×	×	B	6
2	$\bar{c}a$	×		×				C	6
3	$e\bar{d}\bar{c}$		×	×	×			D	5
4	$e\bar{d}\bar{a}$		×		×	×		E	5

**Aufgabe 3 (Entwicklungssatz, Flipflops, Flankenerkennung)**

(10 Punkte)

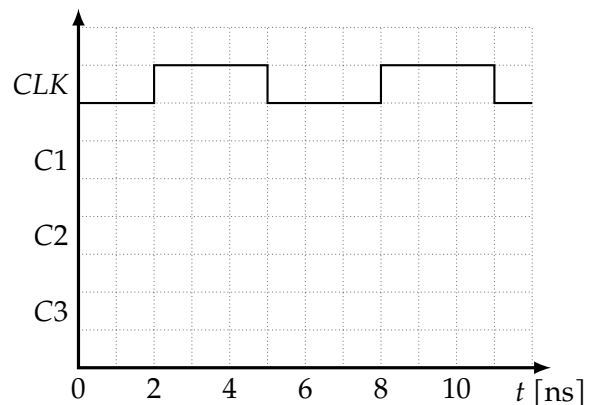
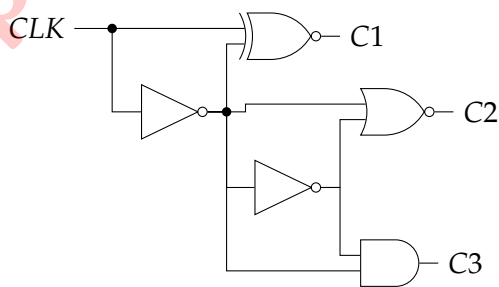
- a) Es sei die Schaltfunktion  $f_6(x_0, x_1, x_2) = x_0 \cdot \overline{(x_1 \oplus x_2)}$  gegeben. Entwickeln Sie  $f_6$  für die Variablenordnung  $x_0, x_1, x_2$ , bis als Restfunktionen nur noch Konstanten (0 oder 1) übrig bleiben. Geben Sie alle Zwischenschritte an. (4 Punkte)

- b) In dieser Aufgabe soll ein RS-Latch zu einem pegelgesteuerten D-Flipflop erweitert werden.
- i) Geben Sie zunächst an, welche Art RS-Latch im Folgenden dargestellt ist und bei welcher Belegung von R und S der ungültige Zustand auftritt. Erweitern Sie anschließend die Schaltung, sodass ein pegelgesteuertes D-Flipflop mit den Eingangssignalen D und CLK (Takt-signal) entsteht. (2 Punkte)



- ii) Geben Sie die Belegung von D und CLK an, damit der Zustand gesetzt wird. (1 Punkt)

- c) Im Folgenden ist eine Schaltung mit drei Flankenerkennern C1, C2 und C3 des Taktsignals CLK gegeben. Vervollständigen Sie zunächst das daneben abgebildete Diagramm um die Signalverläufe von C1, C2 und C3 für den gegebenen Verlauf von CLK. Nehmen Sie dabei an, dass die Verzögerungszeit jedes Logikgatters  $t = 1$  ns beträgt. Geben Sie anschließend an, welche Flanken (Vorder-/ Rückflanke) C1, C2 und C3 jeweils detektieren. (3 Punkte)



C1:

C2:

C3: