



Das Fraunhofer-Institut für Integrierte Schaltungen IIS ist eines von 56 anwendungsorientierten Instituten der Fraunhofer-Gesellschaft, mit dem Ziel, technologische Grundlagen für innovative Produkte bereitzustellen bzw. neu zu schaffen.

Für unsere Abteilung IC-Entwicklung – Analoge Systeme suchen wir zum nächstmöglichen Zeitpunkt einen

## **Praktikanten (m/w)**

für folgendes Thema:

### **Entwurf von Simulationsmodellen mit Verilog AMS / VHDL-AMS**

Für die Simulation von integrierten Analogschaltungen werden Modelle der einzelnen Komponenten mit verschiedenen Eigenschaften und Genauigkeiten benötigt. Neben dem Einsatz von sehr genauen Transistormodellen benötigt man für die Abschätzung von einzelnen Schaltungsparametern Analog- und Mixed-Signal Modelle in VerilogA/VerilogAMS oder VHDL-AMS.

Im Rahmen des Praktikums sollen verschiedene Modelle für häufig verwendete Schaltungsblöcke wie z.B. OPs, ADCs, DACs und Stromquellen erstellt werden. Auch gilt es diese Modelle mit Hilfe des Mixed-Signal-Simulators »Cadence AMS Designer« zu überprüfen und zu verbessern.

### **Was wir uns von Ihnen wünschen:**

- Kenntnisse im Bereich »Analoge Schaltungen«
- Erste Erfahrungen mit Verilog-AMS
- Erste Erfahrungen mit VHDL-AMS

### **Interesse geweckt?**

**Dann freuen wir uns auf Ihre vollständige und aussagekräftige Bewerbung.**

**Fraunhofer-Institut für Integrierte Schaltungen IIS**

**Stichwort: »Praktikum Simulationsmodelle«**

**Am Wolfsmantel 33**

**91058 Erlangen**

**Gerne auch per E-Mail:**

**personalentwicklung@iis.fraunhofer.de**