

# Rechnerarchitektur - WS2005/2006

- Ziele und Maße
  - CPU-Performance, CPU-Durchsatz (MIPS, MFLOPS)
  - CPU-Zeit ( $IC * CPI * T$ )
  - Speedup (Definition)
  - Speedup (Amdahl's Law  $1/((1 - \beta) + \beta/I)$ )
  - Netzwerk (Bisections-Bandbreite)
  - Leistungsaufnahme, -abgabe
  - Skalierbarkeit, Sicherheit, Zuverlässigkeit (MTTF, MTBF, MTTR, MTBR; Robustheit, Safety, Maintainability, ...), Kompatibilität
- Klassifikation
  - Flynn's Klassen (SIMD, MIMD, SISD)
  - Speicher (gemeinsamer, verteilter)
  - Adressraum (gemeinsamer, verteilter)
  - Verbindungsnetz
- ISA
  - Sicht des OS-/Anwendungsprogrammierers
  - Bestandteile (Datentypen, Register, Adressierungsarten, Instruction-Set, Input/Output)
  - Top-10 der Instructions
  - RISC/CISC
- CPU
  - ISA
  - CPU-Zeit ( $IC * CPI * T$ )
  - Register-Files
  - Pipelining
  - Pipelining (Durchsatz, Latenz, Speedup)
  - Pipelining (CISC, RISC)
  - Pipeline-Hemmnisse (Structural-, Data-, Control-Hazards)
  - Pipeline-Hemmnisse (RAW, WAR, WAW)

- Pipeline (NOPs, Delay-Slots)
  - Pipeline (Branch-Prediction, Branch-Target-Address-Cache, Branch-Target-Buffer)
  - Superskalar-Pipelining
  - Superskalar-Pipelining (Register-Renaming)
  - Superskalar-Pipelining (Reservation-Stations, Out-Of-Order-Execution, Reorder-Buffer)
  - Superskalar-Pipelining (Exceptions, Precise/Imprecise-Interrupts)
  - Superskalar-Pipelining (VLIW)
  - Multi-Core, Multi-Threading
- Speicher
    - Prozessor-Speicher-Lücke
    - Speicher-Zahlen (MByte/Dollar, Zugriffslatenz, Bandbreite)
    - Speicher (Interleaving)
    - Speicherhierarchie
    - Caches/Begriffe (Hit, Miss, Miss-Rate, Hit-Time, Miss-Penalty)
    - Caches (mittlere Zugriffszeit,  $Zeit(i) = Hit - Time(i) + Miss - Rate(i) * Zeit(i + 1)$ )
    - Caches (Position virtueller/physikalischer Cache)
    - Caches (räumliche und zeitliche Lokalität)
    - Caches (Blöcke, Blockgrößen)
    - Caches (Platzierungs-, Ersetzungs-, Schreibstrategie)
    - Caches (direct-mapped, n-set-associative, full-associative)
    - Caches (Pseudo-LRU)
    - Caches (Write-Using-, Write-Around-Cache, Write-Through, Write-Back, Snooping)
    - Caches (Reduzierung der Misses)
    - Caches (Virtueller Speicher)
- Busse
    - Bus-Hierarchie (Bridges, I/O-Controller)
    - Bus-Anforderungen (schnell, fehlertolerant, billig, ...)
    - Differential-Übertragung

- Bus-Bandbreite (Burst-Mode)
- Bus-I/O-Adressen (manuell, Hersteller, Config-Space)
- Bus-Arbitrierung (zentral, dezentral)
- I/O
  - Polling
  - Interrupt-Driven-I/O
  - Buffered-I/O
  - Independent-I/O
  - DMA
  - Intelligent-I/O
  - Buffer-/Operation-Chaining
- Multiprozessoren
  - warum Parallelrechner
  - Cluster, SMP, massive-parallel
  - SMP (Boot-Processor, Application-Processor)
  - SMP (Interrupts)
  - SMP (APIC, IO-APIC)
  - SMP (Locking, atomare Operation, lock-Präfix)
  - Coprozessoren (Grafik, FPU)
  - Coprozessoren (sichtbar, partiell-sichtbar, transparent)
  - massive-parallel (Eigenschaften)